

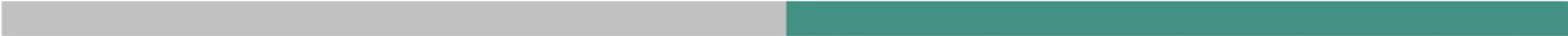


**Universidade Federal de Uberlândia
Engenharia Eletrônica e de Telecomunicações**

– Microprocessadores –

Cap. 4 – Assembly

Prof. Alan Petrônio Pinheiro



Parte 1:

Entendendo o hardware do 18F4550 e precursores

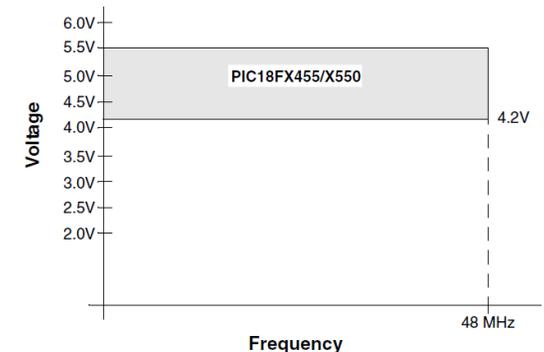


- Apresentando o hardware do 18F4550 x 16F877A

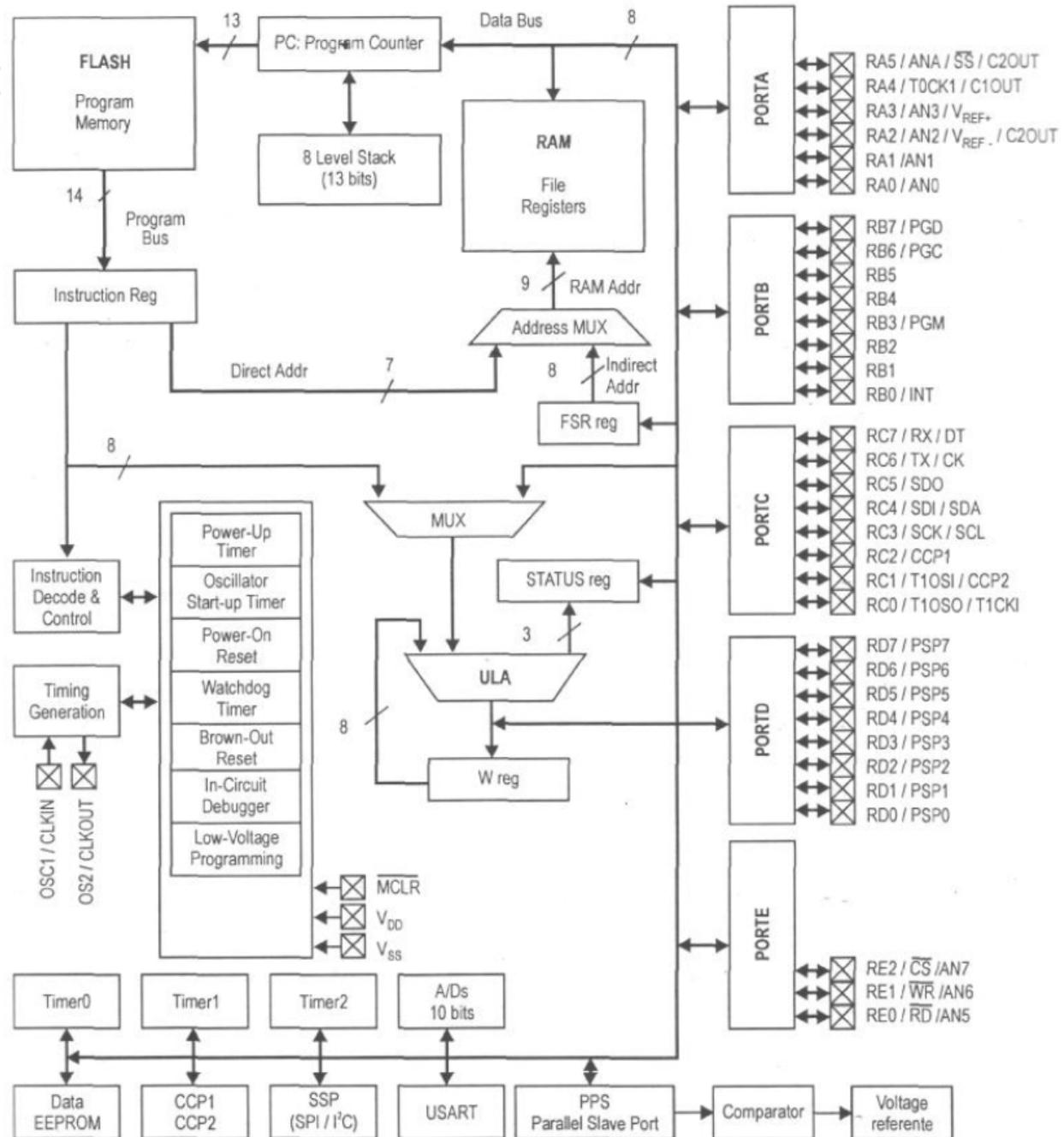
Device	Program Memory		Data Memory		I/O	10-Bit A/D (ch)	CCP/ECCP (PWM)	SPP	MSSP		EAUSART	Comparators	Timers 8/16-Bit
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)					SPI	Master I ² C™			
PIC18F2455	24K	12288	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F2550	32K	16384	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F4455	24K	12288	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3
PIC18F4550	32K	16384	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3

Absolute Maximum Ratings^(†)

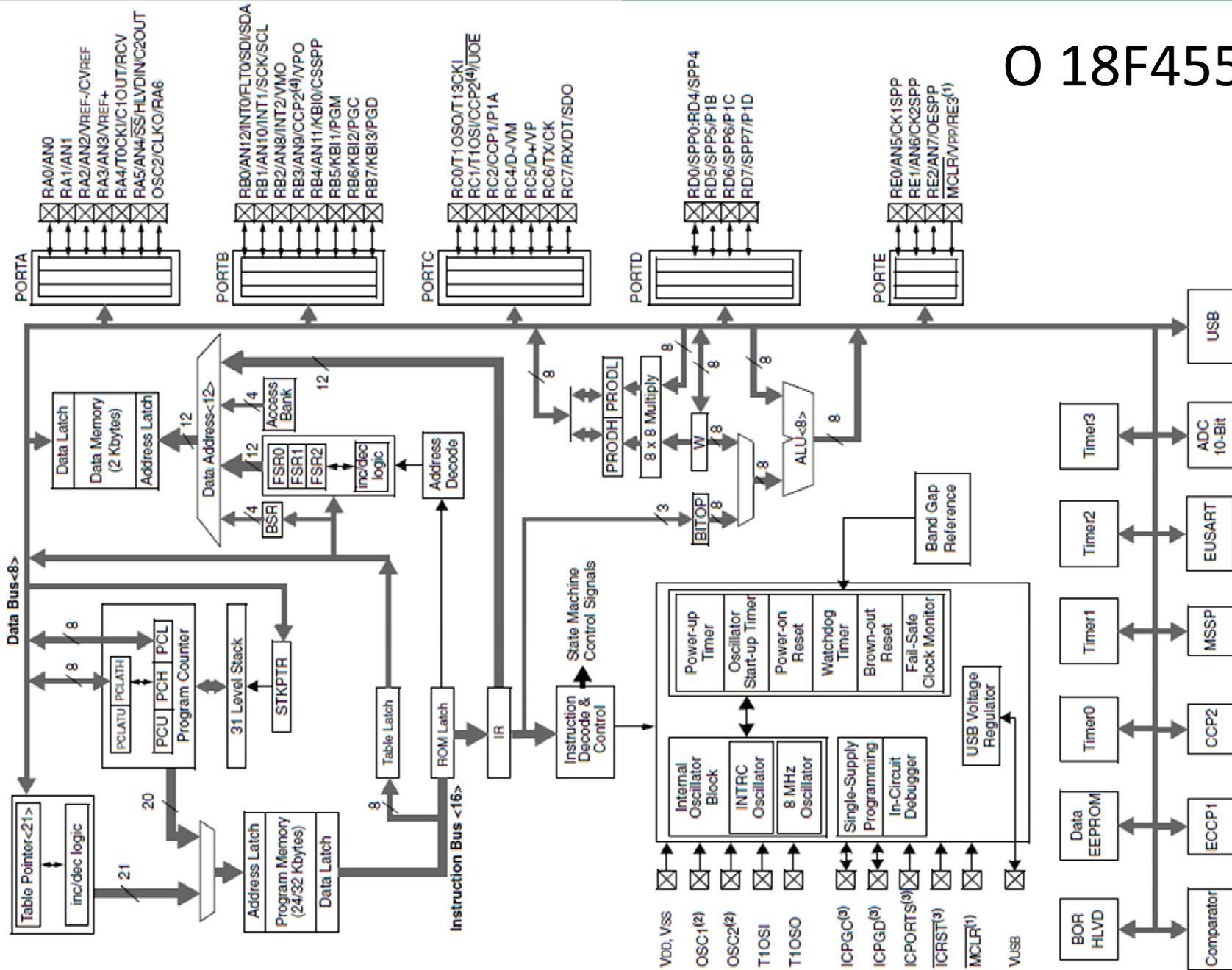
Ambient temperature under bias.....	-40°C to +85°C
Storage temperature	-65°C to +150°C
Voltage on any pin with respect to V _{SS} (except V _{DD} , $\overline{\text{MCLR}}$ and RA4)	-0.3V to (V _{DD} + 0.3V)
Voltage on V _{DD} with respect to V _{SS}	-0.3V to +7.5V
Voltage on $\overline{\text{MCLR}}$ with respect to V _{SS} (Note 2)	0V to +13.25V
Total power dissipation (Note 1)	1.0W
Maximum current out of V _{SS} pin	300 mA
Maximum current into V _{DD} pin	250 mA
Input clamp current, I _{IK} (V _I < 0 or V _I > V _{DD}).....	±20 mA
Output clamp current, I _{OK} (V _O < 0 or V _O > V _{DD})	±20 mA
Maximum output current sunk by any I/O pin.....	25 mA
Maximum output current sourced by any I/O pin	25 mA
Maximum current sunk by all ports	200 mA
Maximum current sourced by all ports	200 mA



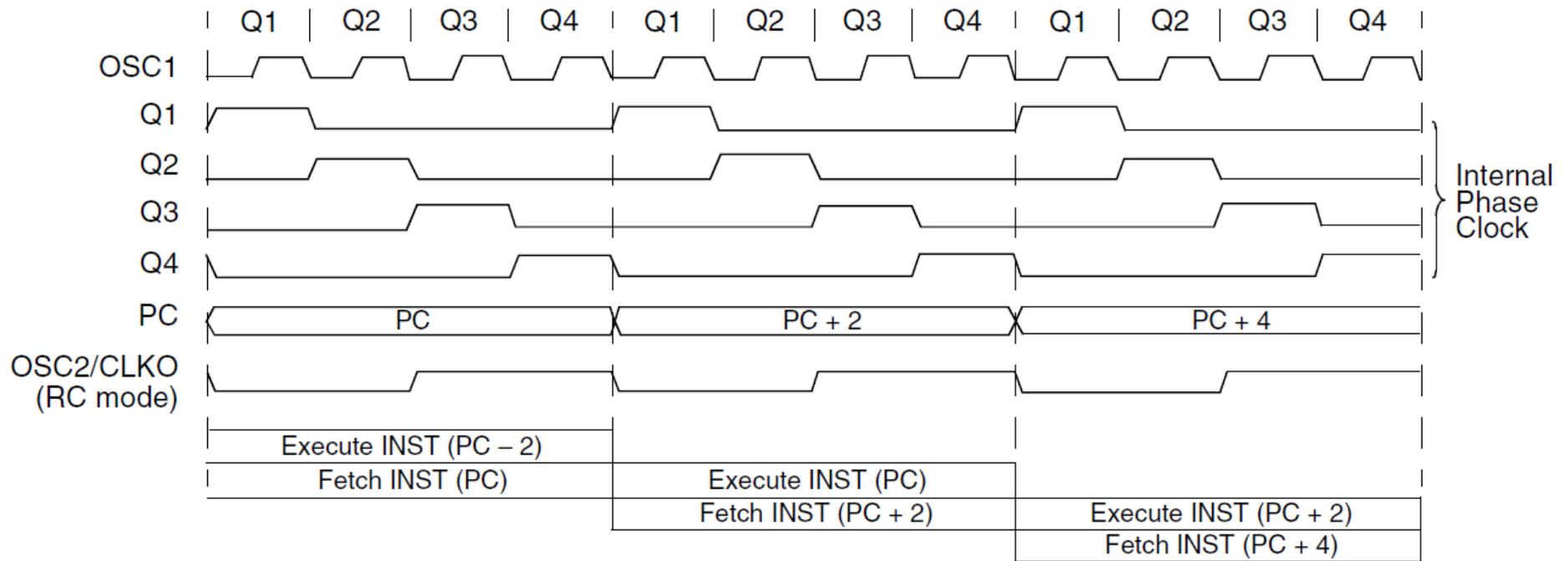
- 0 16F877A:



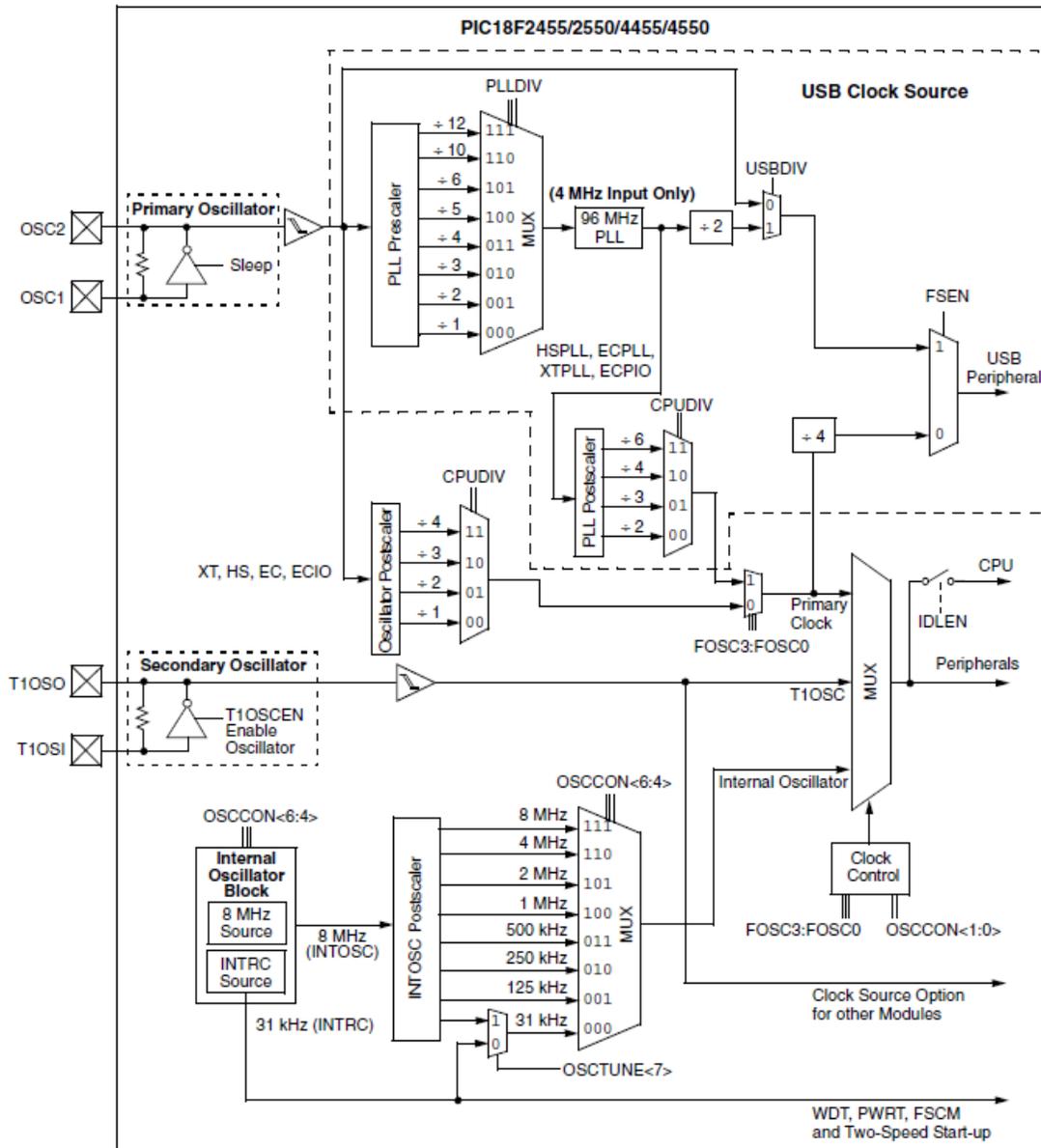
O 18F4550:



- Divisão clock interno:



Osciladores internos do 18F4550:



Osc Type	Crystal Freq	Typical Capacitor Values Tested:	
		C1	C2
XT	4 MHz	27 pF	27 pF
HS	4 MHz	27 pF	27 pF
	8 MHz	22 pF	22 pF
	20 MHz	15 pF	15 pF
	20 MHz	15 pF	15 pF
Crystals Used:			
4 MHz			
8 MHz			
20 MHz			

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
MCLR/VPP/RE3 MCLR VPP RE3	1	18	18	I P I	ST ST	Master Clear (input) or programming voltage (input). Master Clear (Reset) input. This pin is an active-low Reset to the device. Programming voltage input. Digital input.
OSC1/CLKI OSC1 CLKI	13	32	30	I I	Analog Analog	Oscillator crystal or external clock input. Oscillator crystal input or external clock source input. External clock source input. Always associated with pin function OSC1. (See OSC2/CLKO pin.)
OSC2/CLKO/RA6 OSC2 CLKO RA6	14	33	31	O O I/O	— — TTL	Oscillator crystal or clock output. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. In RC mode, OSC2 pin outputs CLKO which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate. General purpose I/O pin.
RA0/AN0 RA0 AN0	2	19	19	I/O I	TTL Analog	PORTA is a bidirectional I/O port. Digital I/O. Analog input 0.
RA1/AN1 RA1 AN1	3	20	20	I/O I	TTL Analog	Digital I/O. Analog input 1.
RA2/AN2/VREF-/ CVREF RA2 AN2 VREF- CVREF	4	21	21	I/O I I O	TTL Analog Analog Analog	Digital I/O. Analog input 2. A/D reference voltage (low) input. Analog comparator reference output.
RA3/AN3/VREF+ RA3 AN3 VREF+	5	22	22	I/O I I	TTL Analog Analog	Digital I/O. Analog input 3. A/D reference voltage (high) input.
RA4/T0CKI/C1OUT/ RCV RA4 T0CKI C1OUT RCV	6	23	23	I/O I O I	ST ST — TTL	Digital I/O. Timer0 external clock input. Comparator 1 output. External USB transceiver RCV input.
RA5/AN4/ \overline{SS} / HLVDIN/C2OUT RA5 AN4 \overline{SS} HLVDIN C2OUT	7	24	24	I/O I I I O	TTL Analog TTL Analog —	Digital I/O. Analog input 4. SPI slave select input. High/Low-Voltage Detect input. Comparator 2 output.
RA6	—	—	—	—	—	See the OSC2/CLKO/RA6 pin.



TABLE 10: PORTB I/O Pin Configurations (Continued)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
RB0/AN12/INT0/ FLT0/SDI/SDA	33	9	8			PORTB is a bidirectional I/O port. PORTB can be software programmed for internal weak pull-ups on all inputs.
RB0				I/O	TTL	Digital I/O.
AN12				I	Analog	Analog input 12.
INT0				I	ST	External interrupt 0.
FLT0				I	ST	Enhanced PWM Fault input (ECCP1 module).
SDI				I	ST	SPI data in.
SDA				I/O	ST	I ² C™ data I/O.
RB1/AN10/INT1/SCK/ SCL	34	10	9			
RB1				I/O	TTL	Digital I/O.
AN10				I	Analog	Analog input 10.
INT1				I	ST	External interrupt 1.
SCK				I/O	ST	Synchronous serial clock input/output for SPI mode.
SCL				I/O	ST	Synchronous serial clock input/output for I ² C mode.
RB2/AN8/INT2/VMO	35	11	10			
RB2				I/O	TTL	Digital I/O.
AN8				I	Analog	Analog input 8.
INT2				I	ST	External interrupt 2.
VMO				O	—	External USB transceiver VMO output.
RB3/AN9/CCP2/VPO	36	12	11			
RB3				I/O	TTL	Digital I/O.
AN9				I	Analog	Analog input 9.
CCP2 ⁽¹⁾				I/O	ST	Capture 2 input/Compare 2 output/PWM 2 output.
VPO				O	—	External USB transceiver VPO output.
RB4/AN11/KBI0/CSSPP	37	14	14			
RB4				I/O	TTL	Digital I/O.
AN11				I	Analog	Analog input 11.
KBI0				I	TTL	Interrupt-on-change pin.
CSSPP				O	—	SPP chip select control output.
RB5/KBI1/PGM	38	15	15			
RB5				I/O	TTL	Digital I/O.
KBI1				I	TTL	Interrupt-on-change pin.
PGM				I/O	ST	Low-Voltage ICSP™ Programming enable pin.
RB6/KBI2/PGC	39	16	16			
RB6				I/O	TTL	Digital I/O.
KBI2				I	TTL	Interrupt-on-change pin.
PGC				I/O	ST	In-Circuit Debugger and ICSP programming clock pin.
RB7/KBI3/PGD	40	17	17			
RB7				I/O	TTL	Digital I/O.
KBI3				I	TTL	Interrupt-on-change pin.
PGD				I/O	ST	In-Circuit Debugger and ICSP programming data pin.



Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
RC0/T1OSO/T13CKI	15	34	32			PORTC is a bidirectional I/O port.
RC0				I/O	ST	Digital I/O.
T1OSO				O	—	Timer1 oscillator output.
T13CKI				I	ST	Timer1/Timer3 external clock input.
RC1/T1OSI/CCP2/ UOE	16	35	35			
RC1				I/O	ST	Digital I/O.
T1OSI				I	CMOS	Timer1 oscillator input.
CCP2 ⁽²⁾				I/O	ST	Capture 2 input/Compare 2 output/PWM 2 output.
UOE				O	—	External USB transceiver OE output.
RC2/CCP1/P1A	17	36	36			
RC2				I/O	ST	Digital I/O.
CCP1				I/O	ST	Capture 1 input/Compare 1 output/PWM 1 output.
P1A				O	TTL	Enhanced CCP1 PWM output, channel A.
RC4/D-/VM	23	42	42			
RC4				I	TTL	Digital input.
D-				I/O	—	USB differential minus line (input/output).
VM				I	TTL	External USB transceiver VM input.
RC5/D+/VP	24	43	43			
RC5				I	TTL	Digital input.
D+				I/O	—	USB differential plus line (input/output).
VP				I	TTL	External USB transceiver VP input.
RC6/TX/CK	25	44	44			
RC6				I/O	ST	Digital I/O.
TX				O	—	EUSART asynchronous transmit.
CK				I/O	ST	EUSART synchronous clock (see RX/DT).
RC7/RX/DT/SDO	26	1	1			
RC7				I/O	ST	Digital I/O.
RX				I	ST	EUSART asynchronous receive.
DT				I/O	ST	EUSART synchronous data (see TX/CK).
SDO				O	—	SPI data out.

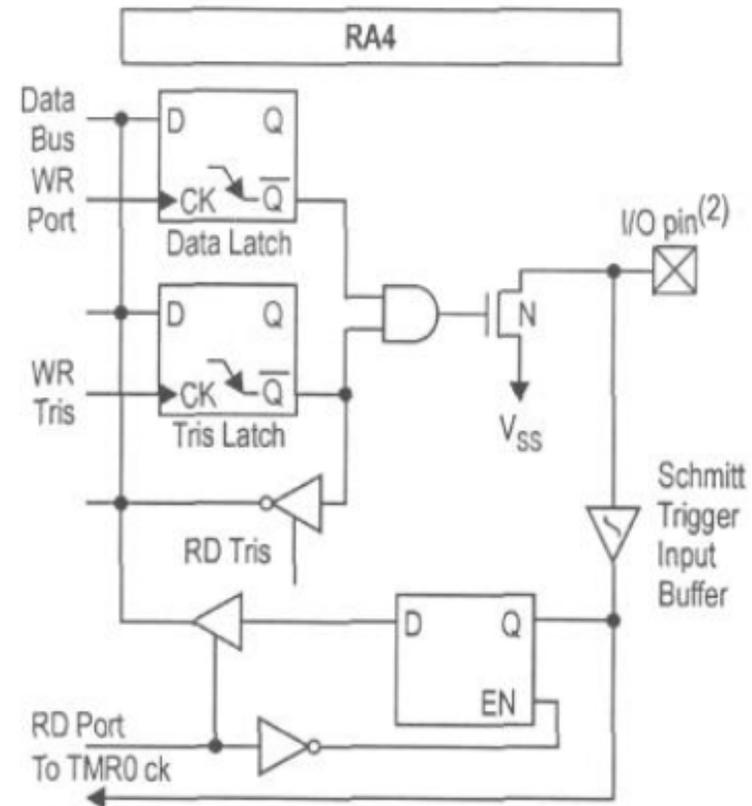
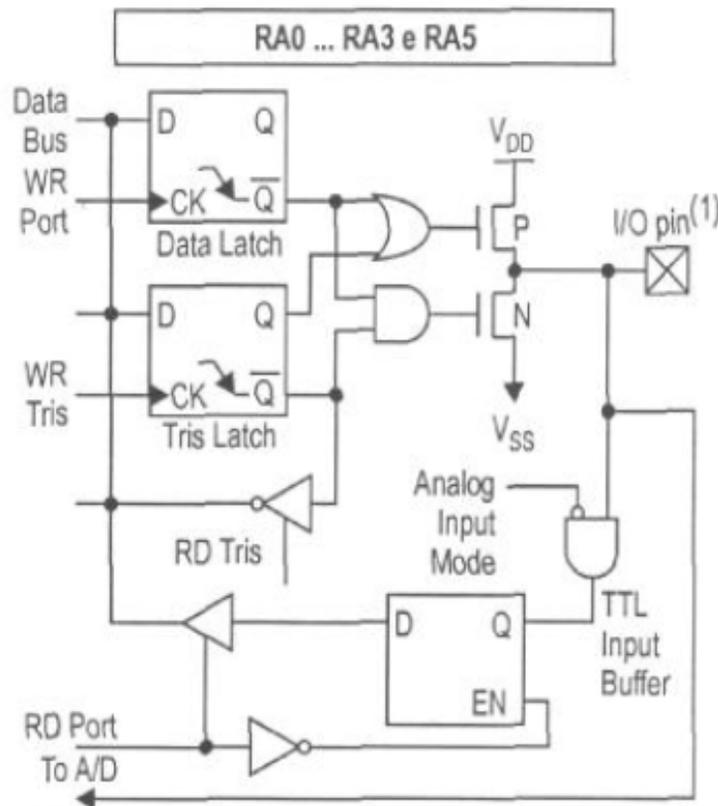


Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
RD0/SPP0 RD0 SPP0	19	38	38	I/O I/O	ST TTL	PORTD is a bidirectional I/O port or a Streaming Parallel Port (SPP). These pins have TTL input buffers when the SPP module is enabled. Digital I/O. Streaming Parallel Port data.
RD1/SPP1 RD1 SPP1	20	39	39	I/O I/O	ST TTL	Digital I/O. Streaming Parallel Port data.
RD2/SPP2 RD2 SPP2	21	40	40	I/O I/O	ST TTL	Digital I/O. Streaming Parallel Port data.
RD3/SPP3 RD3 SPP3	22	41	41	I/O I/O	ST TTL	Digital I/O. Streaming Parallel Port data.
RD4/SPP4 RD4 SPP4	27	2	2	I/O I/O	ST TTL	Digital I/O. Streaming Parallel Port data.
RD5/SPP5/P1B RD5 SPP5 P1B	28	3	3	I/O I/O O	ST TTL —	Digital I/O. Streaming Parallel Port data. Enhanced CCP1 PWM output, channel B.
RD6/SPP6/P1C RD6 SPP6 P1C	29	4	4	I/O I/O O	ST TTL —	Digital I/O. Streaming Parallel Port data. Enhanced CCP1 PWM output, channel C.
RD7/SPP7/P1D RD7 SPP7 P1D	30	5	5	I/O I/O O	ST TTL —	Digital I/O. Streaming Parallel Port data. Enhanced CCP1 PWM output, channel D.



Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
RE0/AN5/CK1SPP RE0 AN5 CK1SPP	8	25	25	I/O I O	ST Analog —	<p>PORTE is a bidirectional I/O port.</p> <p>Digital I/O. Analog input 5. SPP clock 1 output.</p>
RE1/AN6/CK2SPP RE1 AN6 CK2SPP	9	26	26	I/O I O	ST Analog —	<p>Digital I/O. Analog input 6. SPP clock 2 output.</p>
RE2/AN7/OESPP RE2 AN7 OESPP	10	27	27	I/O I O	ST Analog —	<p>Digital I/O. Analog input 7. SPP output enable output.</p>
RE3	—	—	—	—	—	See $\overline{\text{MCLR}}/\text{VPP}/\text{RE3}$ pin.
Vss	12, 31	6, 30, 31	6, 29	P	—	Ground reference for logic and I/O pins.
VDD	11, 32	7, 8, 28, 29	7, 28	P	—	Positive supply for logic and I/O pins.
VUSB	18	37	37	O	—	Internal USB 3.3V voltage regulator output.
NC/ICCK/ICPGC ⁽³⁾ ICCK ICPGC	—	—	12	I/O I/O	ST ST	<p>No Connect or dedicated ICD/ICSP™ port clock. In-Circuit Debugger clock. ICSP programming clock.</p>
NC/ICDT/ICPGD ⁽³⁾ ICDT ICPGD	—	—	13	I/O I/O	ST ST	<p>No Connect or dedicated ICD/ICSP port clock. In-Circuit Debugger data. ICSP programming data.</p>
NC/ $\overline{\text{ICRST}}/\text{ICVPP}^{(3)}$ $\overline{\text{ICRST}}$ ICVPP	—	—	33	I P	— —	<p>No Connect or dedicated ICD/ICSP port Reset. Master Clear (Reset) input. Programming voltage input.</p>
NC/ICPORTS ⁽³⁾ ICPORTS	—	—	34	P	—	<p>No Connect or 28-pin device emulation. Enable 28-pin device emulation when connected to Vss.</p>
NC	—	13	—	—	—	No Connect.

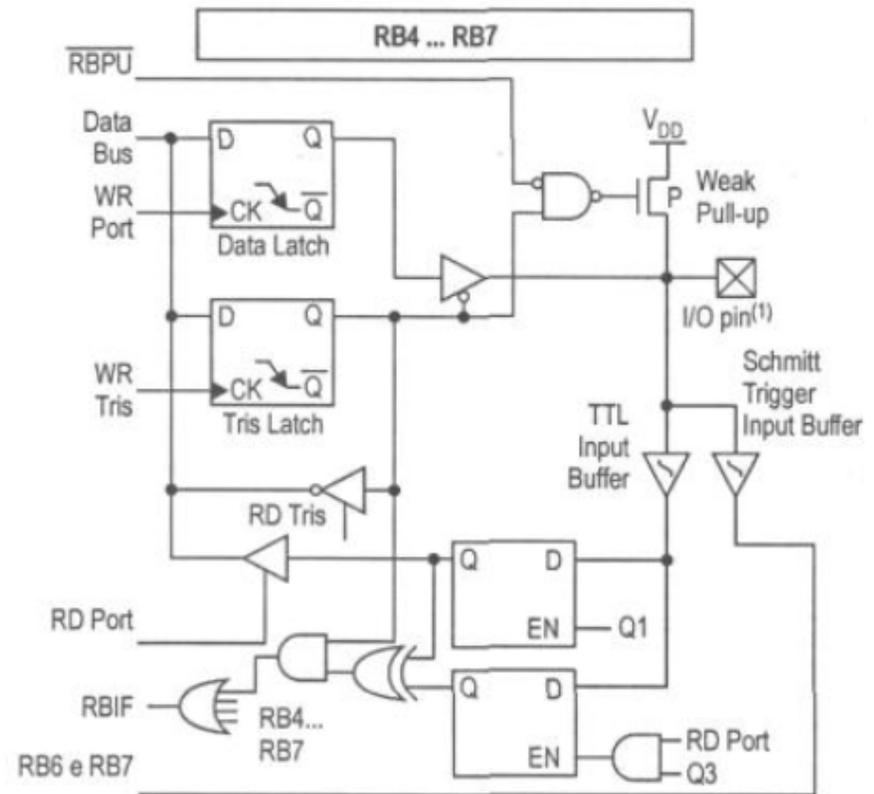
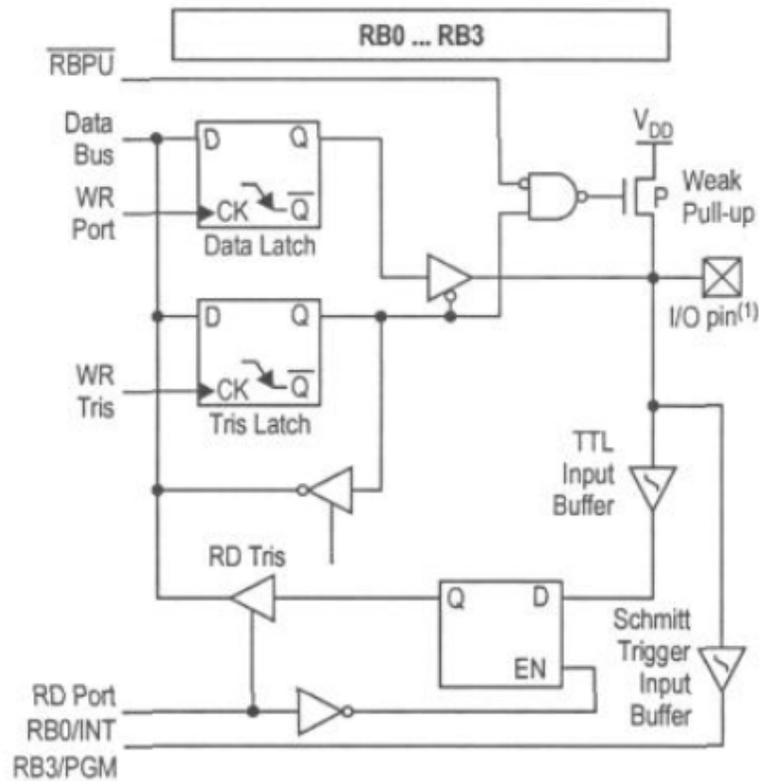




Endereço	Nome	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
05h	PORTA	-	-	RA5	RA4	RA3	RA2	RA1	RA0
85h	TRISA	-	-	Configuração como Entrada (I) ou Saída (O)					
9Fh	ADCON1	ADFM	-	-	-	PCFG3	PCFG2	PCFG1	PCFG0
81h/181h	OPTION_REG	/RBPU	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0

– OPTION_REG: clock externo timer0

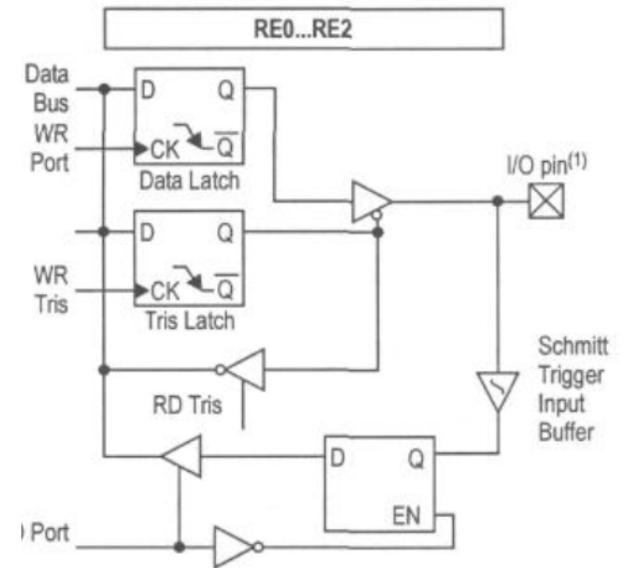
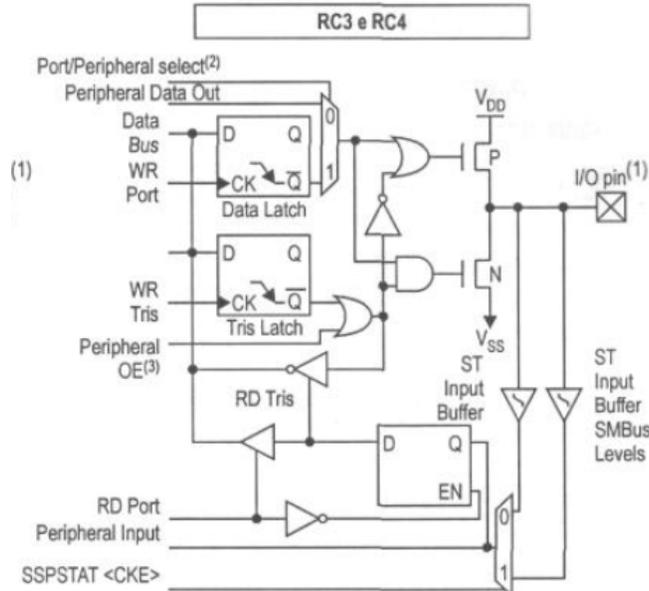
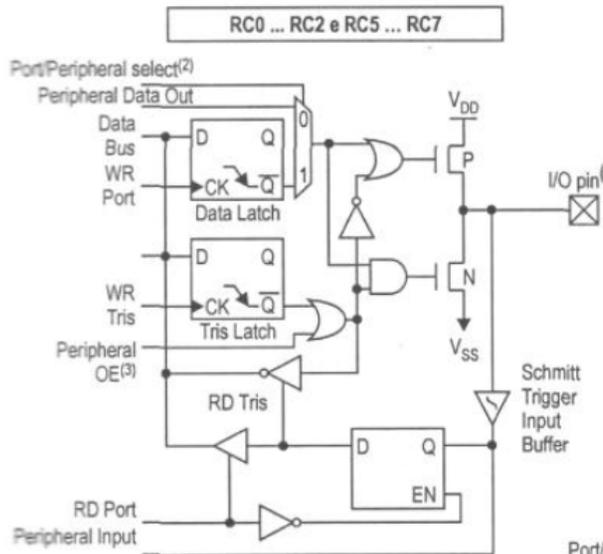




Endereço	Nome	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
06h/106h	PORTB	RB 7	RB 6	RB5	RB4	RB3	RB2	RB1	RB0
86h/186h	TRISB	Configuração como Entrada (I) ou Saída (O)							
0Bh...	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF
81h/181h	OPTION_REG	/RBPU	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0

– OPTION_REG: configura bordas interrupção





- Pinos porta A e registradores associados:
 - Registradores uso específico e gerais

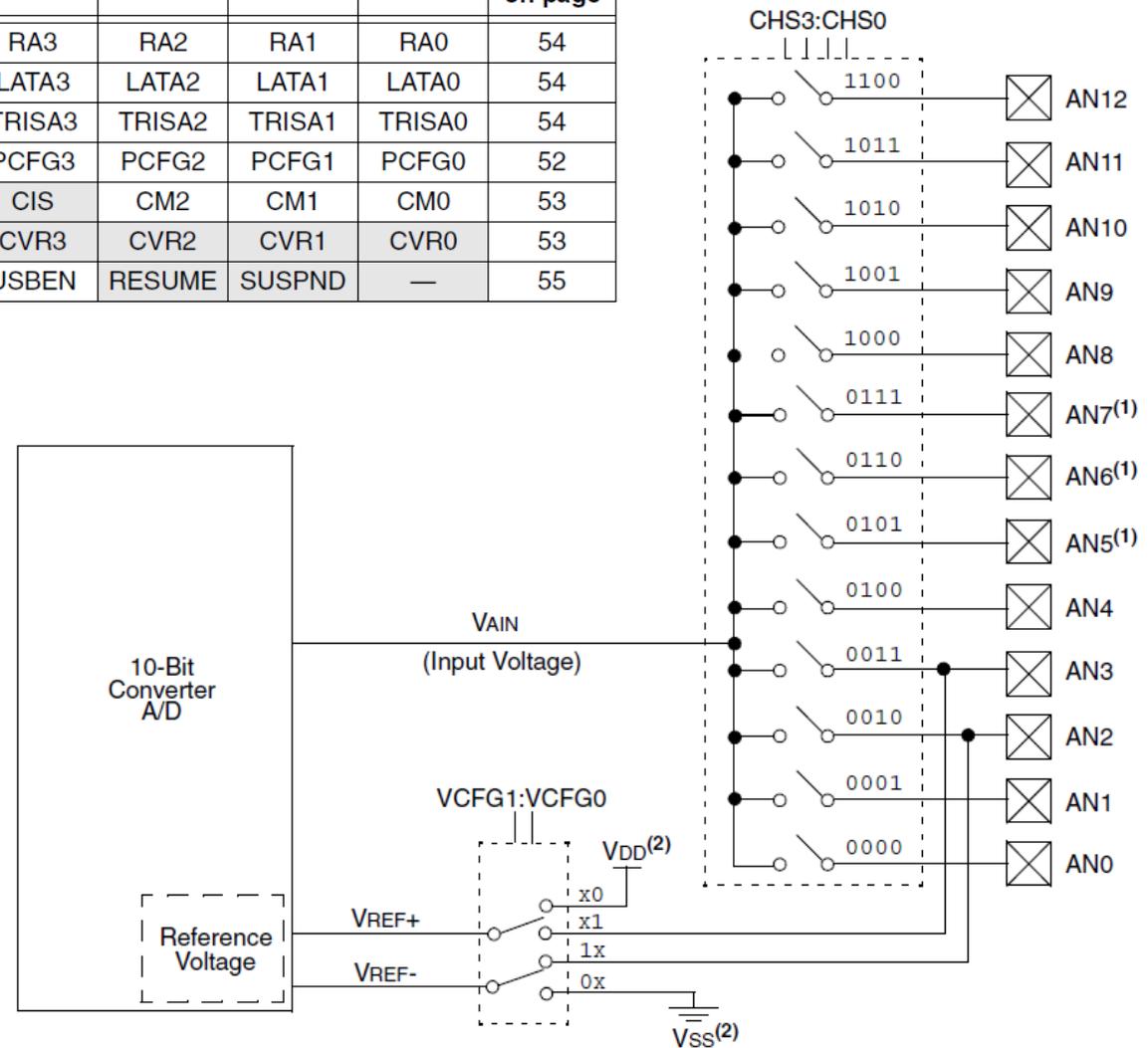
Pin	Function	TRIS Setting	I/O	I/O Type	Description
RA0/AN0	RA0	0	OUT	DIG	LATA<0> data output; not affected by analog input.
		1	IN	TTL	PORTA<0> data input; disabled when analog input enabled.
	AN0	1	IN	ANA	A/D input channel 0 and Comparator C1- input. Default configuration on POR; does not affect digital output.
RA1/AN1	RA1	0	OUT	DIG	LATA<1> data output; not affected by analog input.
		1	IN	TTL	PORTA<1> data input; reads '0' on POR.
	AN1	1	IN	ANA	A/D input channel 1 and Comparator C2- input. Default configuration on POR; does not affect digital output.
RA2/AN2/ VREF-/CVREF	RA2	0	OUT	DIG	LATA<2> data output; not affected by analog input. Disabled when CVREF output enabled.
		1	IN	TTL	PORTA<2> data input. Disabled when analog functions enabled; disabled when CVREF output enabled.
	AN2	1	IN	ANA	A/D input channel 2 and Comparator C2+ input. Default configuration on POR; not affected by analog output.
	VREF-	1	IN	ANA	A/D and comparator voltage reference low input.
	CVREF	x	OUT	ANA	Comparator voltage reference output. Enabling this feature disables digital I/O.
RA3/AN3/ VREF+	RA3	0	OUT	DIG	LATA<3> data output; not affected by analog input.
		1	IN	TTL	PORTA<3> data input; disabled when analog input enabled.
	AN3	1	IN	ANA	A/D input channel 3 and Comparator C1+ input. Default configuration on POR.
	VREF+	1	IN	ANA	A/D and comparator voltage reference high input.
RA4/T0CKI/ C1OUT/RCV	RA4	0	OUT	DIG	LATA<4> data output; not affected by analog input.
		1	IN	ST	PORTA<4> data input; disabled when analog input enabled.
	T0CKI	1	IN	ST	Timer0 clock input.
	C1OUT	0	OUT	DIG	Comparator 1 output; takes priority over port data.
	RCV	x	IN	TTL	External USB transceiver RCV input.



- Pinos porta A e registradores associados:

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTA	—	RA6 ⁽¹⁾	RA5	RA4	RA3	RA2	RA1	RA0	54
LATA	—	LATA6 ⁽¹⁾	LATA5	LATA4	LATA3	LATA2	LATA1	LATA0	54
TRISA	—	TRISA6 ⁽¹⁾	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	54
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	52
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	53
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	53
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	55

- Conversor A/D

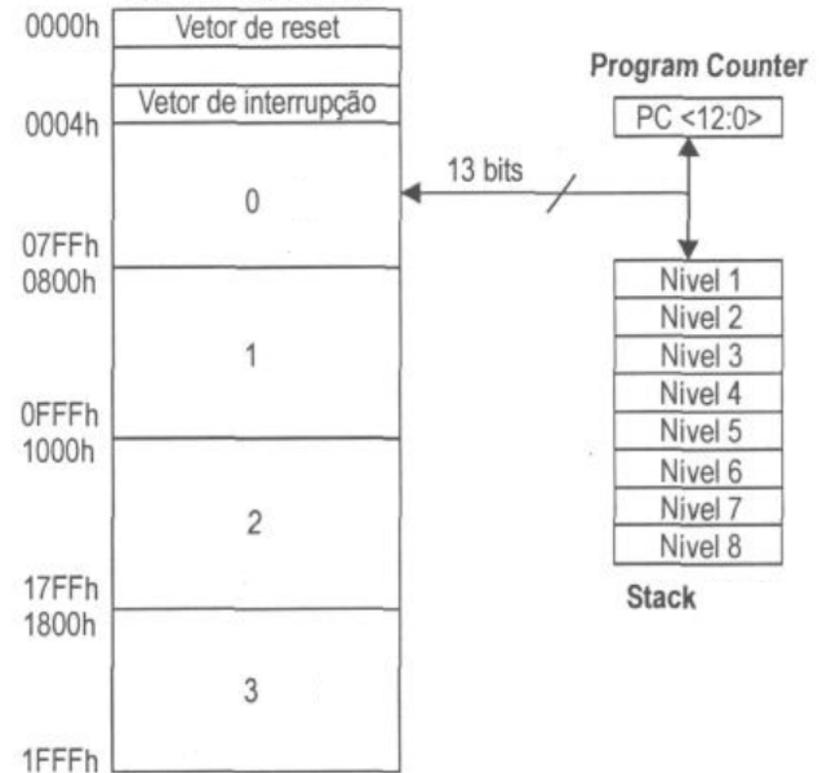
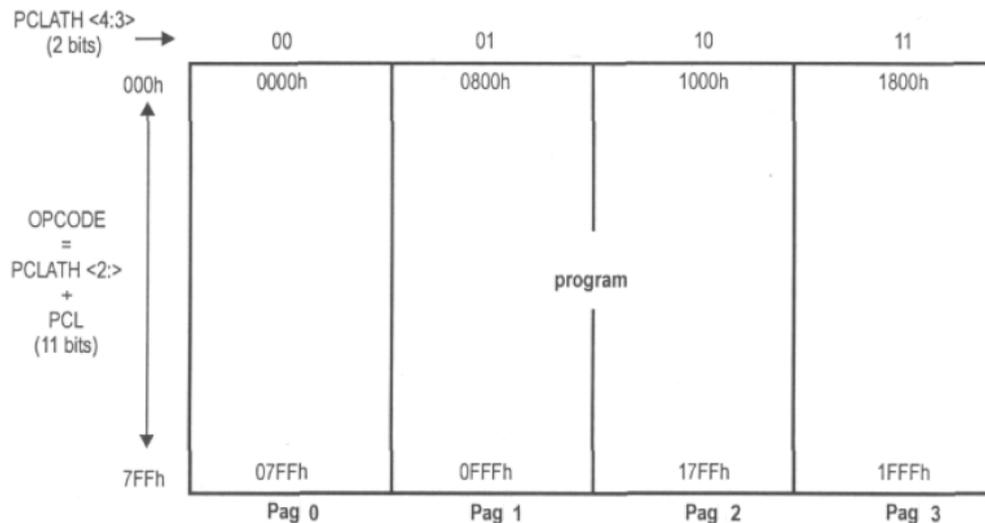


- Segmentação de página:

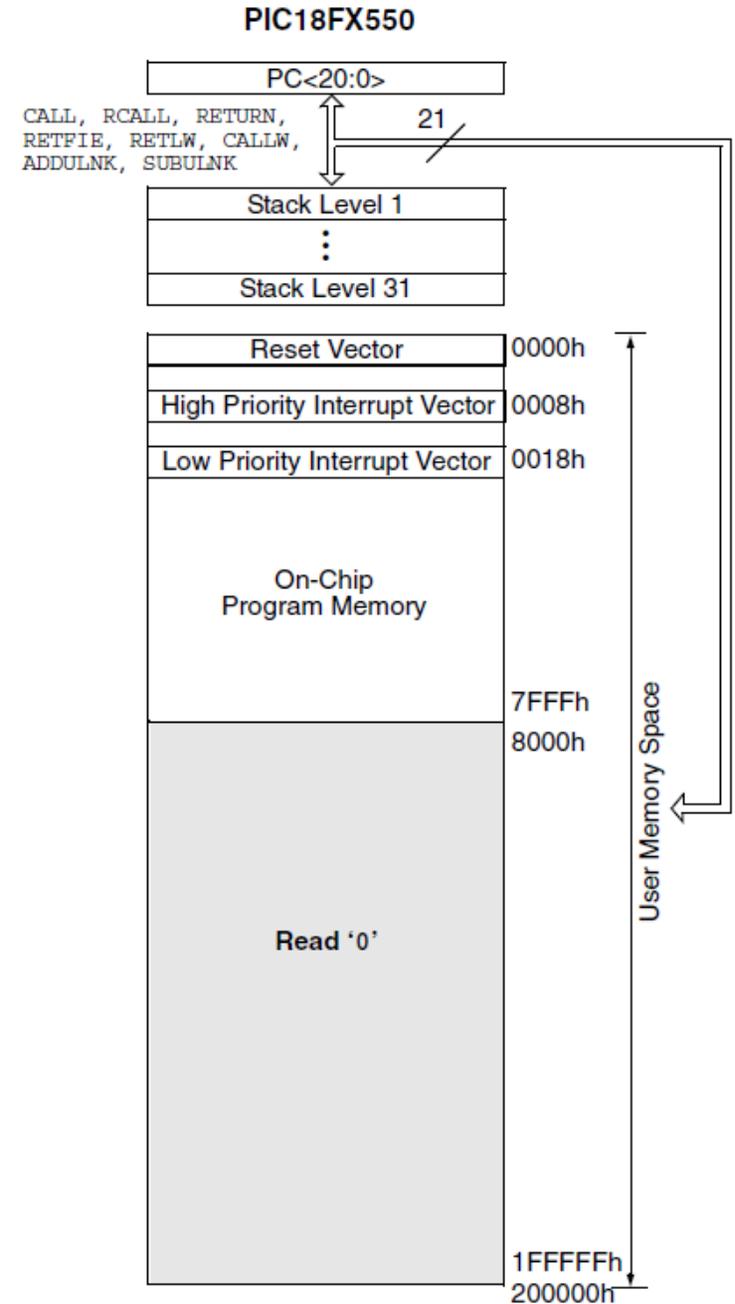
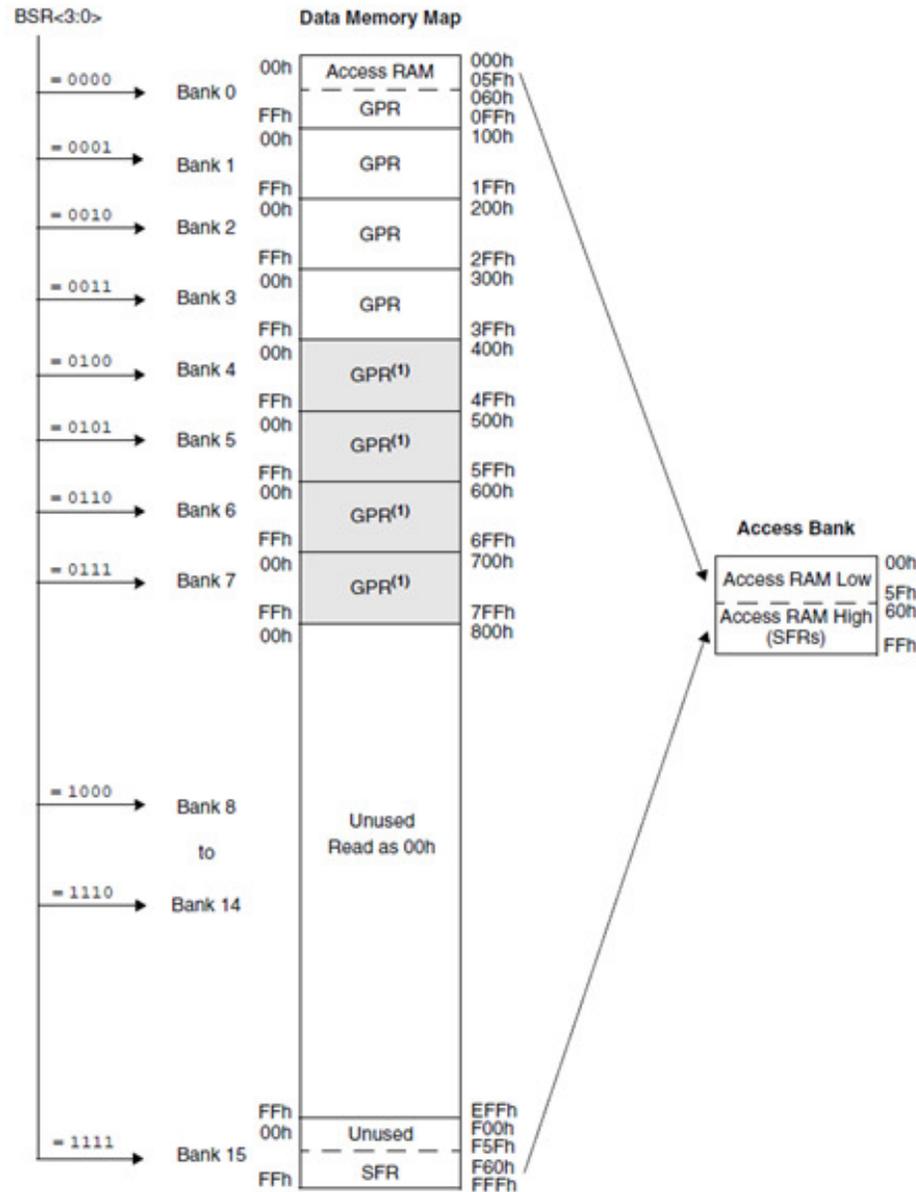
- Exemplo: CALL = 100 KKK KKKK KKKK (kkk kkkk kkkk=endereço destino)
- bits 3 e 4 PCLATH

- Pilha

- Endereços de retorno



- No 18F4550 temos ...



- Memória de dados (RAM)

- Registradores específicos e gerais

- Segmentação em bancos

- Exemplo: MOVF = 00 1000 dfff ffff

MOVWF 00 0000 1FFF FFFF

onde d=destino e fffffff=endereço RAM

- Endereços espelhados



- Registadores:

Address	Name	Address	Name	Address	Name	Address	Name	Address	Name
FFFh	TOSU	FDfh	INDF2 ⁽¹⁾	FBFh	CCPR1H	F9Fh	IPR1	F7Fh	UEP15
FFEh	TOSH	FDEh	POSTINC2 ⁽¹⁾	FBEh	CCPR1L	F9Eh	PIR1	F7Eh	UEP14
FFDh	TOSL	FDDh	POSTDEC2 ⁽¹⁾	FBDh	CCP1CON	F9Dh	PIE1	F7Dh	UEP13
FFCh	STKPTR	FDCh	PREINC2 ⁽¹⁾	FBCh	CCPR2H	F9Ch	— ⁽²⁾	F7Ch	UEP12
FFBh	PCLATU	FDBh	PLUSW2 ⁽¹⁾	FBBh	CCPR2L	F9Bh	OSCTUNE	F7Bh	UEP11
FFAh	PCLATH	FDAh	FSR2H	FBAh	CCP2CON	F9Ah	— ⁽²⁾	F7Ah	UEP10
FF9h	PCL	FD9h	FSR2L	FB9h	— ⁽²⁾	F99h	— ⁽²⁾	F79h	UEP9
FF8h	TBLPTRU	FD8h	STATUS	FB8h	BAUDCON	F98h	— ⁽²⁾	F78h	UEP8
FF7h	TBLPTRH	FD7h	TMR0H	FB7h	ECCP1DEL	F97h	— ⁽²⁾	F77h	UEP7
FF6h	TBLPTRL	FD6h	TMR0L	FB6h	ECCP1AS	F96h	TRISE ⁽³⁾	F76h	UEP6
FF5h	TABLAT	FD5h	T0CON	FB5h	CVRCON	F95h	TRISD ⁽³⁾	F75h	UEP5
FF4h	PRODH	FD4h	— ⁽²⁾	FB4h	CMCON	F94h	TRISC	F74h	UEP4
FF3h	PRODL	FD3h	OSCCON	FB3h	TMR3H	F93h	TRISB	F73h	UEP3
FF2h	INTCON	FD2h	HLVDCON	FB2h	TMR3L	F92h	TRISA	F72h	UEP2
FF1h	INTCON2	FD1h	WDTCON	FB1h	T3CON	F91h	— ⁽²⁾	F71h	UEP1
FF0h	INTCON3	FD0h	RCON	FB0h	SPBRGH	F90h	— ⁽²⁾	F70h	UEP0
FEFh	INDF0 ⁽¹⁾	FCFh	TMR1H	FAFh	SPBRG	F8Fh	— ⁽²⁾	F6Fh	UCFG
FEeh	POSTINC0 ⁽¹⁾	FCEh	TMR1L	FAeh	RCREG	F8Eh	— ⁽²⁾	F6Eh	UADDR
FEDh	POSTDEC0 ⁽¹⁾	FCDh	T1CON	FADh	TXREG	F8Dh	LATE ⁽³⁾	F6Dh	UCON
FECh	PREINC0 ⁽¹⁾	FCCh	TMR2	FACH	TXSTA	F8Ch	LATD ⁽³⁾	F6Ch	USTAT
FEBh	PLUSW0 ⁽¹⁾	FCBh	PR2	FABh	RCSTA	F8Bh	LATC	F6Bh	UEIE
FEAh	FSR0H	FCAh	T2CON	FAAh	— ⁽²⁾	F8Ah	LATB	F6Ah	UEIR
FE9h	FSR0L	FC9h	SSPBUF	FA9h	EEADR	F89h	LATA	F69h	UIE
FE8h	WREG	FC8h	SSPADD	FA8h	EEDATA	F88h	— ⁽²⁾	F68h	UIR
FE7h	INDF1 ⁽¹⁾	FC7h	SSPSTAT	FA7h	EECON2 ⁽¹⁾	F87h	— ⁽²⁾	F67h	UFRMH
FE6h	POSTINC1 ⁽¹⁾	FC6h	SSPCON1	FA6h	EECON1	F86h	— ⁽²⁾	F66h	UFRML
FE5h	POSTDEC1 ⁽¹⁾	FC5h	SSPCON2	FA5h	— ⁽²⁾	F85h	— ⁽²⁾	F65h	SPPCON ⁽³⁾
FE4h	PREINC1 ⁽¹⁾	FC4h	ADRESH	FA4h	— ⁽²⁾	F84h	PORTE	F64h	SPPEPS ⁽³⁾
FE3h	PLUSW1 ⁽¹⁾	FC3h	ADRESL	FA3h	— ⁽²⁾	F83h	PORTD ⁽³⁾	F63h	SPPCFG ⁽³⁾
FE2h	FSR1H	FC2h	ADCON0	FA2h	IPR2	F82h	PORTC	F62h	SPPDATA ⁽³⁾
FE1h	FSR1L	FC1h	ADCON1	FA1h	PIR2	F81h	PORTB	F61h	— ⁽²⁾
FE0h	BSR	FC0h	ADCON2	FA0h	PIE2	F80h	PORTA	F60h	— ⁽²⁾



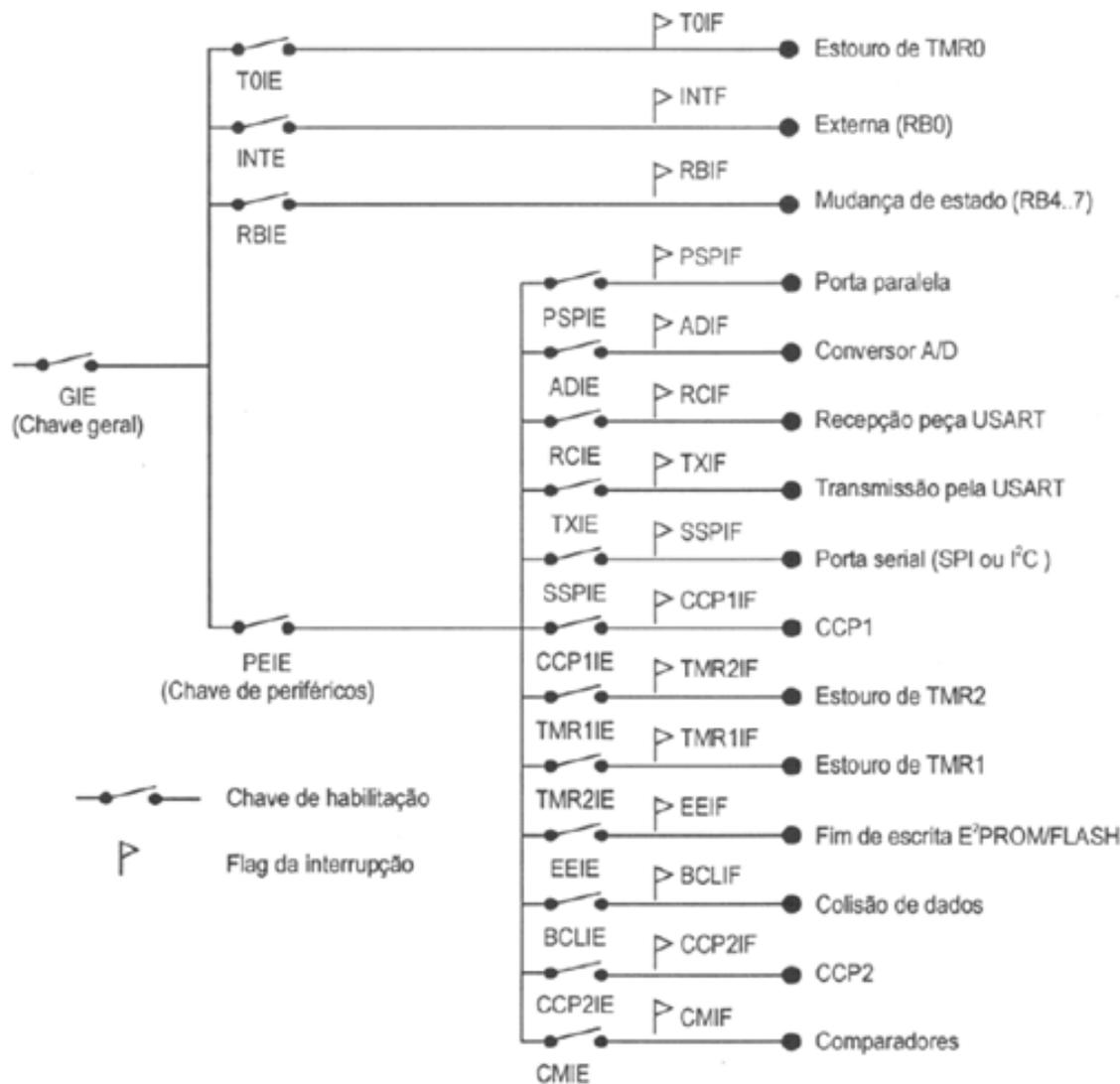
File Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR
TOSU	—	—	—	Top-of-Stack Upper Byte (TOS<20:16>)					---0 0000
TOSH	Top-of-Stack High Byte (TOS<15:8>)								0000 0000
TOSL	Top-of-Stack Low Byte (TOS<7:0>)								0000 0000
STKPTR	STKFUL	STKUNF	—	SP4	SP3	SP2	SP1	SP0	00-0 0000
PCLATU	—	—	—	Holding Register for PC<20:16>					---0 0000
PCLATH	Holding Register for PC<15:8>								0000 0000
PCL	PC Low Byte (PC<7:0>)								0000 0000
TBLPTRU	—	—	bit 21 ⁽¹⁾	Program Memory Table Pointer Upper Byte (TBLPTR<20:16>)					--00 0000
TBLPTRH	Program Memory Table Pointer High Byte (TBLPTR<15:8>)								0000 0000
TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								0000 0000
TABLAT	Program Memory Table Latch								0000 0000
PRODH	Product Register High Byte								xxxx xxxx
PRODL	Product Register Low Byte								xxxx xxxx
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
INTCON2	$\overline{\text{RBPU}}$	INTEDG0	INTEDG1	INTEDG2	—	TMR0IP	—	RBIP	1111 -1-1
INTCON3	INT2IP	INT1IP	—	INT2IE	INT1IE	—	INT2IF	INT1IF	11-0 0-00
INDF0	Uses contents of FSR0 to address data memory – value of FSR0 not changed (not a physical register)								N/A
POSTINC0	Uses contents of FSR0 to address data memory – value of FSR0 post-incremented (not a physical register)								N/A
POSTDEC0	Uses contents of FSR0 to address data memory – value of FSR0 post-decremented (not a physical register)								N/A
PREINC0	Uses contents of FSR0 to address data memory – value of FSR0 pre-incremented (not a physical register)								N/A
PLUSW0	Uses contents of FSR0 to address data memory – value of FSR0 pre-incremented (not a physical register) – value of FSR0 offset by W								N/A
FSR0H	—	—	—	—	Indirect Data Memory Address Pointer 0 High Byte				---- 0000
FSR0L	Indirect Data Memory Address Pointer 0 Low Byte								xxxx xxxx
WREG	Working Register								xxxx xxxx
INDF1	Uses contents of FSR1 to address data memory – value of FSR1 not changed (not a physical register)								N/A
POSTINC1	Uses contents of FSR1 to address data memory – value of FSR1 post-incremented (not a physical register)								N/A
POSTDEC1	Uses contents of FSR1 to address data memory – value of FSR1 post-decremented (not a physical register)								N/A
PREINC1	Uses contents of FSR1 to address data memory – value of FSR1 pre-incremented (not a physical register)								N/A
PLUSW1	Uses contents of FSR1 to address data memory – value of FSR1 pre-incremented (not a physical register) – value of FSR1 offset by W								N/A
FSR1H	—	—	—	—	Indirect Data Memory Address Pointer 1 High Byte				---- 0000

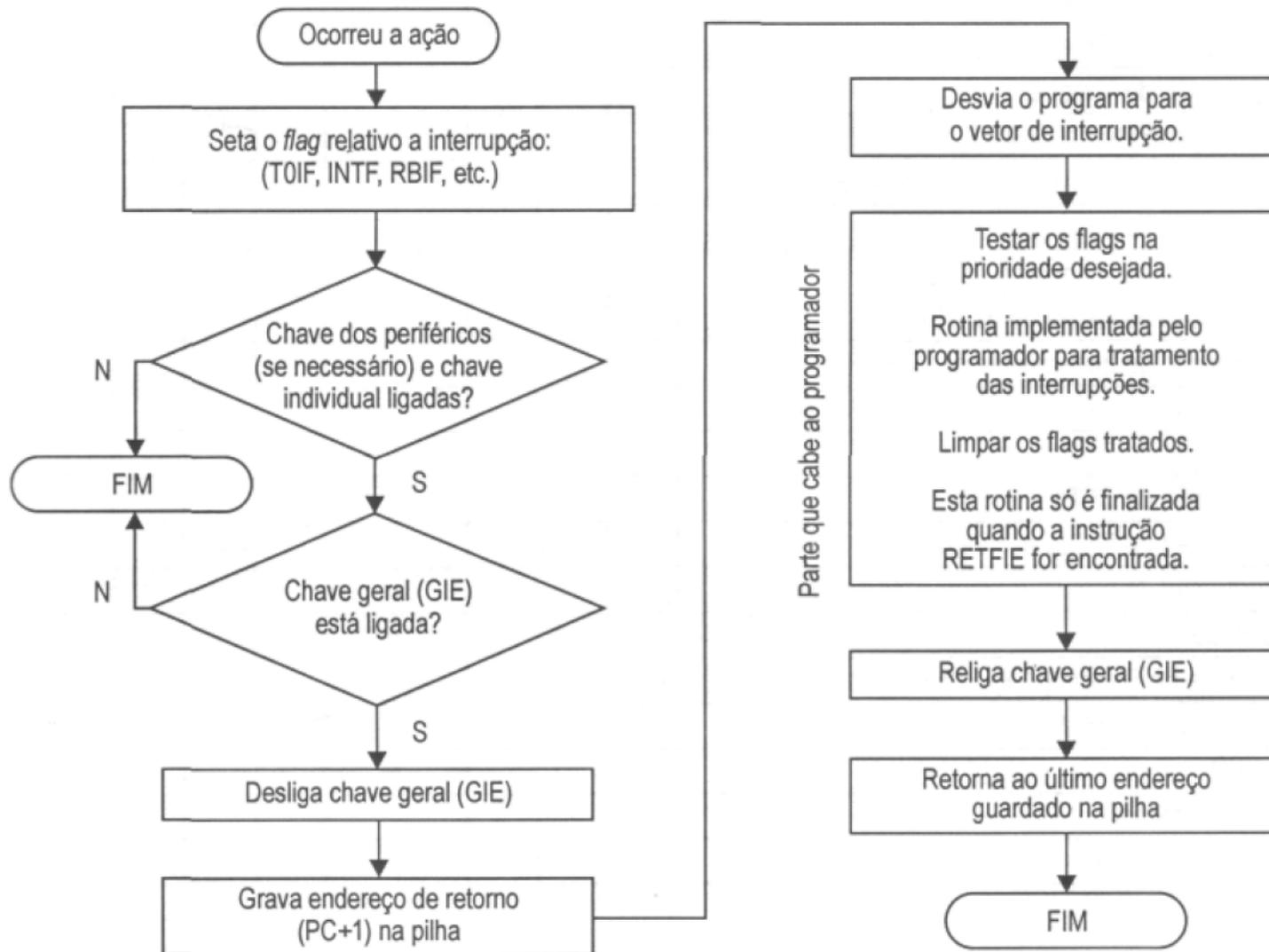


TMR1H	Timer1 Register High Byte								xxxx xxxx
TMR1L	Timer1 Register Low Byte								xxxx xxxx
T1CON	RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000
TMR2	Timer2 Register								0000 0000
PR2	Timer2 Period Register								1111 1111
T2CON	—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000
SSPBUF	MSSP Receive Buffer/Transmit Register								xxxx xxxx
SSPADD	MSSP Address Register in I ² C™ Slave mode. MSSP Baud Rate Reload Register in I ² C™ Master mode.								0000 0000
SSPSTAT	SMP	CKE	D/Ā	P	S	R/W	UA	BF	0000 0000
SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000
SSPCON2	GCEN	ACKSTAT	ACKDT/ ADMSK5 ⁽⁷⁾	ACKEN/ ADMSK4 ⁽⁷⁾	RCEN/ ADMSK3 ⁽⁷⁾	PEN/ ADMSK2 ⁽⁷⁾	RSEN/ ADMSK1 ⁽⁷⁾	SEN	0000 0000
ADRESH	A/D Result Register High Byte								xxxx xxxx
ADRESL	A/D Result Register Low Byte								xxxx xxxx
ADCON0	—	—	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	--00 0000
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	--00 0qqq
ADCON2	ADFM	—	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0	0-00 0000
CCPR1H	Capture/Compare/PWM Register 1 High Byte								xxxx xxxx
CCPR1L	Capture/Compare/PWM Register 1 Low Byte								xxxx xxxx
CCP1CON	P1M1 ⁽³⁾	P1M0 ⁽³⁾	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000
CCPR2H	Capture/Compare/PWM Register 2 High Byte								xxxx xxxx
CCPR2L	Capture/Compare/PWM Register 2 Low Byte								xxxx xxxx
CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	0100 0-00
ECCP1DEL	PRSEN	PDC6 ⁽³⁾	PDC5 ⁽³⁾	PDC4 ⁽³⁾	PDC3 ⁽³⁾	PDC2 ⁽³⁾	PDC1 ⁽³⁾	PDC0 ⁽³⁾	0000 0000
ECCP1AS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1 ⁽³⁾	PSSBD0 ⁽³⁾	0000 0000
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	0000 0000
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0111
TMR3H	Timer3 Register High Byte								xxxx xxxx
TMR3L	Timer3 Register Low Byte								xxxx xxxx
T3CON	RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	T3SYNC	TMR3CS	TMR3ON	0000 0000
SPBRGH	EUSART Baud Rate Generator Register High Byte								0000 0000
SPBRG	EUSART Baud Rate Generator Register Low Byte								0000 0000
RCREG	EUSART Receive Register								0000 0000
TXREG	EUSART Transmit Register								0000 0000
TXSTA	CSRC	TX9	TXEN	SYNC	SEnDB	BRGH	TRMT	TX9D	0000 0010
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x



• Interrupções:





Parte que cabe ao programador





Parte 2:

“Instruction set”



Operações com Registradores		
Instrução	Argumentos	Descrição
ADDWF	f,d	Soma W e f, guardando o resultado em d.
ANDWF	f,d	Lógica “E” entre W e f, guardando o resultado em d.
CRLF	f	Limpa f.
CLRW	-	Limpa W.
COMF	f,d	Calcula o complemento de f, guardando o resultado em d.
DECF	f,d	Decrementa f, guardando o resultado em d.
DECFSZ	f,d	Decrementa f, guardando o resultado em d, e pula a próxima linha se o resultado for zero.
INCF	f,d	Incrementa f, guardando o resultado em d.
INCFSZ	f,d	Incrementa f, guardando o resultado em d, e pula a próxima linha se o resultado for zero.
IORWF	f,d	Lógica “OU” entre W e f, guardando o resultado em d.
MOVF	f,d	Move f para d.
MOVWF	f,d	Move W para f.
RLF	f,d	Rotaciona f 1 bit para esquerda, guardando o resultado em d.



RRF	f,d	Rotaciona f 1 bit para direita, guardando o resultado em d.
SUBWF	f,d	Subtrai W de f (f-W), guardando o resultado em d.
SWAPF	f,d	Executa uma inversão em as partes alta e baixa de f,guardando o resultado em d.
XORWF	f,d	Lógica "OU exclusivo" entre W e f, guardando o resultado em d.

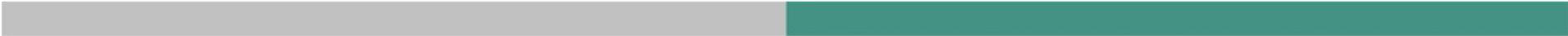
Operações com literais		
Instrução	Argumentos	Descrição
ADDLW	K	Soma k com W, guardando o resultado em W.
ANDLW	K	Lógica "E" entre k e W, guardando o resultado em W.
IORLW	K	Lógica "OU" entre em k e W, guardando o resultado em W.
MOVLW	K	Move k para W.
SUBLW	K	Subtrai W de k (k-W), guardando o resultado em W.
XORLW	K	Lógica "OU exclusivo" entre k e W, guardando o resultado em W



Operações com Bits		
Instrução	Argumentos	Descrição
BCF	f,b	Impõe 0 (zero) no bit do registrador f.
BSF	f,b	Impõe 1 (um) no bit do registrador f.
BTFSC	f,b	Testa o bit do registrador f, e pula a próxima linha se ele for 0 (zero).
BTFSS	f,b	Testa o bit do registrador f, e pula a próxima linha se ele for 01(um).

Controles		
Instrução	Argumentos	Descrição
NOP	-	Gasta um ciclo de máquina sem fazer absolutamente nada.
CALL	R	Executa a rotina R.
CLRWDT	-	Limpa o registrador WDT para não acontecer o <i>reset</i>
GOTO	R	Desvia para o ponto R, mudando o PC.
RETFIE	-	Retorna de uma interrupção.
RETLW	K	Retorna de uma rotina, com k em W.
RETURN	-	Retorna de uma rotina, sem afetar W.
SLEEP	-	Coloca o PIC em modo <i>sleep</i> (dormindo)para economia de energia.





Parte 3:

Programação



• Exemplo 1: escrevendo na memória

```
BSF 03h,5    ;coloca 1 no bit 5 do endereço 03h  
MOVLW 06h   ;escreve o valor 06h no W  
MOVWF 85h   ;coloca o conteúdo do W no endereço 85h  
BCF 03h,5   ;coloca 0 (clear) no bit 5 do endereço 03h
```

```
bit_set(0x03,5); // coloca 1 no bit 5 do endereço 03h  
*0x85 = 0x06; //valor literal 06h no endereço 85h  
bit_clear(0x03,5); //coloca 0 no bit 5 do endereço 03h
```

ou

```
write_bank(1, 0x85, 0x06);  
//escreve valor 06h endereço 85h no banco 1
```



• Exemplo 2: escrever em um pino

```
BSF 03h,5    ;seta o quinto bit do endereço 03h
MOVLW 00h    ;colocar o valor 00h no registro W
MOVWF 85h    ;coloca o conteúdo do registro w no endereço 85h que corresponde ao TRIS_A
BCF 03h,5    ;coloca 0 no bit 5 do endereço 03h
MOVLW 02h    ;escreve o valor literal 0000010 no registro w
MOVWF 05h    ;coloca o conteúdo do registro w no endereço 05h que corresponde a porta A
```

```
bit_set(0x03,5); //seta o bit 5 do endereço 03h
*0x85 = 0x00;    // escreve o valor 06h no endereço 85h
bit_clear(0x03,5); //seta o bit 5 do endereço 03h
*0x05 = 0x02;    //escreve o valor 02h no endereço 05h
```

Ou

```
write_bank(1, 0x85, 0x00); //escreve o valor 00h no endereço 85h no banco 1
write_bank(0, 0x05, 0x02); //escreve o valor 02h no endereço 05h no banco 0
```

Ou

```
set_tris_a(0x00);          //define a porta A como saída
output_high(PIN_A0);       //ligar o bit 1 na porta A
```



• Exemplo 3: loops

```
MOVLW 0FFh      ;Coloca 0 no W
MOVWF 08h       ;Coloca W no 08h
CONTADOR EQU 08h ;Define CONTADOR como o endereço de memoria 08h
CICLO           ;Define uma marcação no codigo
DECFSZ CONTADOR,1 ;Subtrai 1 ao valor no endereço designado por contador e ignora a
proxima instrucao se o valor resultante da subtracao for 0
GOTO CICLO      ;Salta para a posicao marcada pelo nome CICLO
                ;As instruções seguintes serao executadas quando o valor de
CONTADOR chegar a 0 e a instrução de salto for ignorada
```

```
#byte contador = 0x08 // Define CONTADOR como o endereço de memoria 08h
contador = 0xFF;      // Escreve o valor 255 no CONTADOR
do                    // Repete bloco instrucoes enquanto a condicao se verificar
{
    contador--;       // Decrementa CONTADOR
}
while(contador > 0);  // Define a condicao de repeticao
```



- Exemplo 4: delays

- Considere um clock de 40Mhz e que DECFSZ e GOTO necessitam ambas de 2 ciclos de máquina

```
int8 contador=0x32;  
#asm  
    CICLO  
    DECFSZ CONTADOR,1  
    GOTO CICLO  
#endasm
```

```
delay_us(20);
```



• Exemplo 5: funções e subrotinas

```
ROTINA          ;Nome da subrotina
MOVFW 09h       ;Escreve o conteúdo do endereço 09h no W
MOVWF 30h       ;Escreve o conteúdo do W no endereço 30h
RETURN          ;Retorna ao ponto onde a rotina foi chamada
;...
MOVLW 56h      ;Escreve 56h no W
MOVWF 09h      ;Escreve o conteúdo do W no endereço 09h
CALL ROTINA    ;Chama a subrotina
```

```
#byte objecto = 0x09      //Define objecto como o endereço de memória 09h
void guarda (int8 valor) //cabecalho da funcao
{
    *0x30 = valor;        //escreve o valor recebido no endereço 30h
}
void main()
{
    objecto = 0x56;       //Coloca o valor 56h no objecto
    guarda(objecto);    //chama a funcao para guardar o valor do endereço 09h
}
```



• Exemplo 6: leitura de pinos

```
STATUS EQU FD8h
TRISB EQU F93h
PORTB EQU F81h
INICIO
MOVLW 01h
MOVWF TRISB      ;Coloca o bit 0 da porta B como entrada
CICLO
BTFSS PORTB,0   ;Testa o bit 0 da porta B e salta para proxima instrucao se for 1
GOTO CICLO      ;Se o bit 0 valer 0, testa de novo
BSF PORTB,7     ;seta o bit 7
MOVLW 00h
MOVWF TRISB     ;Configura toda a porta B como saida
BSF PORTB,0     ;zera o bit 0
GOTO INICIO     ;Repete o programa
```

```
while(true)
{
    set_tris_b(0x01);
    while(!input(PIN_B0)) { }
    set_tris_b(0x00);
    output_low(PIN_B0);
    output_high(PIN_B7);
}
```



- Exemplo 7: adição e subtração

```
MOVLW 30    ;W=30
MOVWF 08h   ;08h=30
MOVLW 25    ;W=25
ADDLW 25    ;W=50
SUBLW 20    ;W=30
SUBWF 08h   ;W=0
```

```
#byte f = 0x08
main()
{
    int8 acumulador = 25;
    f = 30;
    acumulador += 25;
    acumulador -= 20;
    acumulador += f;
}
```



• Comparação: Assembly x C

```

ORG 00h      ;Vetor de Reset
GOTO MAIN   ;Evita sobrepor vetor de interrupção com código
ORG 08h     ;Vetor de Interrupção
ISR         ;Tratamento de interrupcao
BTFSS INTCON,5
GOTO FIM_ISR
MOVLW 0FFh  ;Escreve FFh no W
MOVWF PORTB ;Escreve conteúdo de W na porta B
BCF TMR0IF  ;Limpa flag para permitir ativacao da interrupcao
FIM_ISR     ;Fim do tratamento de interrupcao
RETFIE

MAIN
BCF IPEN    ;Desabilita prioridade de interrupcoes
BSF GIE     ;Habilita interrupcoes
BSF TMR0IE  ;Habilita interrupcao do timer
BCF TMR0ON  ;Pára o Timer0
BSF T08BIT  ;Configura o contador para 16bits
BCF T0CS    ;Configura a fonte para clock interno
BCF PSA     ;Usa divisor de frequência
MOVLW 06h
IORWF T0CON,1,1 ;Divide a frequência por 128
MOVLW 98h
MOVWF TMR0H
MOVLW 96h
MOVWF TMR0L
BSF TMR0ON  ;Inicia o Timer0

```

```

#pragma code INT_VECTOR = 0x08
timer0_isr() {
    PORTB=0xFF;
    TMR0IF=0;
}

void main(){
    IPEN=0; //Desabilita prioridade de interrupcoes
    GIE=1; //Habilita interrupcoes
    TMR0IE=1; //Habilita interrupcao do timer
    TMR0ON=0 //Pára o Timer0
    T08BIT=1; //Configura o contador para 16bits
    T0CS=0; //Configura a fonte para clock interno
    PSA=0; //Usa divisor de frequencia
    T0CON|=0x06; //Divide a frequencia por 128
    TMR0H=0x98;
    TMR0L=0x96;
    TMR0ON=1; //Inicia o Timer0
    // ...
}

OU

#include <int_timer0.h>
timer0_isr(){
    output_port_b(0xFF);
}

void main(){
    interrupt_active(int_timer0);
    setup_timer(RTCC_INTERNAL|RTCC_DIV_2|RTCC_16_BIT);
    set_timer0(0x9896);
    // ...
}

```



• Registradores importantes do 18Fxx:

INTCON

bit 7 **GIE/GIEH: Global Interrupt Enable bit**

Quando IPEN = 0:

1 = Ativa todas as interrupções

0 = Desativa todas as interrupções

Quando IPEN = 1:

1 = Ativa todas as interrupções com alta prioridade

0 = Desativa todas as interrupções com alta prioridade

bit 6 **PEIE/GIEL: Peripheral Interrupt Enable bit**

Quando IPEN = 0:

1 = Ativa todas as interrupções periféricas

0 = Desativa todas as interrupções periféricas

Quando IPEN = 1:

1 = Ativa todas as interrupções periféricas com alta prioridade

0 = Desativa todas as interrupções periféricas com alta prioridade

bit 5 **TMR0IE: TMR0 Overflow Interrupt Enable bit**

1 = Ativa a interrupção do timer 0

0 = Desativa a interrupção do timer 0



bit 4 INTOIE: INTO External Interrupt Enable bit

1 = Ativa a interrupção externa 0

0 = Desativa a interrupção externa 0

bit 3 RBIE: RB Port Change Interrupt Enable bit

1 = Ativa a interrupção do porto B

0 = Desativa a interrupção do porto B

bit 2 TMR0IF: TMR0 Overflow Interrupt Flag bit

1 = O registo TMR0 chegou ao máximo/ativou interrupção (para reativar a detecção/interrupção, deve manualmente colocar-se a 0, ou a detecção/interrupção não volta a disparar)

0 = O registo TMR0 não chegou ao máximo/ativou interrupção

bit 1 INTOIF: INTO External Interrupt Flag bit

1 = A interrupção INTO foi ativada (para reativar a interrupção, deve manualmente colocar-se a 0, ou a interrupção não volta a ativar)

0 = A interrupção INTO não foi ativada

bit 0 RBIF: RB Port Change Interrupt Flag bit(1)

1 = Um dos pinos do porto B mudou de estado

0 = Nenhum dos pinos do porto B mudou de estado



INTCON2

bit 7 RBPU: PORTB Pull-up Enable bit

1 = Todos os pull-ups do PORTB estão desabilitados

0 = Todos os pull-ups do PORTB são controlados pelo valor do latch de cada porto

bit 6 INTEDG0: External Interrupt 0 Edge Select bit

1 = INT0 ativo na transição positiva

0 = INT0 activo na transição negativa

bit 5 INTEDG1: External Interrupt 1 Edge Select bit

1 = INT1 ativo na transição positiva

0 = INT1 ativo na transição negativa

bit 4 INTEDG2: External Interrupt 2 Edge Select bit

1 = INT2 ativo na transição positiva

0 = INT2 ativo na transição negativa

bit 2 TMR0IP: TMR0 Overflow Interrupt Priority bit

1 = TMR0 tem prioridade alta

0 = TMR0 tem prioridade baixa

bit 0 RBIP: RB Port Change Interrupt Priority bit

1 = PORTB tem prioridade alta

0 = PORTB tem prioridade baixa



INTCON3

bit 7 INT2IP: INT2 External Interrupt Priority bit

1 = INT2 tem prioridade alta

0 = INT2 tem prioridade baixa

bit 6 INT1IP: INT1 External Interrupt Priority bit

1 = INT1 tem prioridade alta

0 = INT1 tem prioridade baixa

bit 4 INT2IE: INT2 External Interrupt Enable bit

1 = Ativa a interrupção externa 2

0 = Desativa a interrupção externa 2

bit 3 INT1IE: INT1 External Interrupt Enable bit

1 = Ativa a interrupção externa 1

0 = Desativa a interrupção externa 1

bit 1 INT2IF: INT2 External Interrupt Flag bit

1 = A interrupção INT2 foi ativada (para reativar a interrupção, deve manualmente colocar-se a 0, ou a interrupção não volta a ativar)

0 = A interrupção INT2 não foi ativada

bit 0 INT1IF: INT1 External Interrupt Flag bit

1 = A interrupção INT1 foi ativada (para reativar a interrupção, deve manualmente colocar-se a 0, ou a interrupção não volta a ativar)

0 = A interrupção INT1 não foi ativada



PIR1

bit 6 ADIF: A/D Converter Interrupt Flag bit

1 = A conversão A/D terminou (para reativar a interrupção, deve manualmente colocar-se a 0, ou a interrupção não volta a ativar)

0 = A conversão A/D não terminou

bit 5 RCIF: EUSART Receive Interrupt Flag bit

1 = O buffer de recepção EUSART, RCREG, está cheio (este bit é colocado a 0 lendo o buffer)

0 = O buffer de recepção EUSART está vazio

bit 4 TXIF: EUSART Transmit Interrupt Flag bit

1 = O buffer de recepção EUSART, TXREG, está cheio (este bit é colocado a 0 escrevendo no buffer)

0 = O buffer de recepção EUSART está vazio

bit 3 SSPIF: Master Synchronous Serial Port Interrupt Flag bit

1 = A transmissão/recepção terminou (para reativar a interrupção, deve manualmente colocar-se a 0, ou a interrupção não volta a ativar)

0 = Aguardando transmissão/recepção



PIE1

bit 6 **ADIE: A/D Converter Interrupt Enable bit**

1 = Ativa a interrupção do ADC

0 = Desativa a interrupção do ADC

bit 5 **RCIE: EUSART Receive Interrupt Enable bit**

1 = Ativa a interrupção de recepção do EUSART

0 = Desativa a interrupção de recepção do EUSART

bit 4 **TXIE: EUSART Transmit Interrupt Enable bit**

1 = Ativa a interrupção de transmissão do EUSART

0 = Desativa a interrupção de transmissão do EUSART

bit 3 **SSPIE: Master Synchronous Serial Port Interrupt Enable bit**

1 = Ativa a interrupção do MSSP (SPI/I2C)

0 = Desativa a interrupção do MSSP (SPI/I2C)

IPR

bit 6 **ADIP: A/D Converter Interrupt Priority bit**

1 = A interrupção do ADC tem prioridade alta

0 = A interrupção do ADC tem prioridade baixa

bit 5 **RCIP: EUSART Receive Interrupt Priority bit**

1 = A interrupção de recepção do EUSART tem prioridade alta

0 = A interrupção de recepção do EUSART tem prioridade baixa



bit 4 TXIP: EUSART Transmit Interrupt Priority bit

1 = A interrupção de transmissão do EUSART tem prioridade alta

0 = A interrupção de transmissão do EUSART tem prioridade baixa

bit 3 SSPIP: Master Synchronous Serial Port Interrupt Priority bit

1 = A interrupção do MSSP (SPI/I2C) tem prioridade alta

0 = A interrupção do MSSP (SPI/I2C) tem prioridade baixa

RCON

bit 7 IPEN: Interrupt Priority Enable bit

1 = Ativa os níveis de prioridade das interrupções

0 = Inativa os níveis de prioridade das interrupções

bit 6 SBOREN: BOR Software Enable bit

Se BOREN1:BOREN0 = 01:

1 = BOR está ativo

0 = BOR está desativado

Se BOREN1:BOREN0 = 00, 10 or 11:

Bit está desativado

bit 4 RI: RESET Instruction Flag bit

1 = Não foi executado RESET (não editável)

0 = Foi executado RESET (Deve ser colocado a 0 por software após um brown-out)

bit 3 TO: Watchdog Time-out Flag bit

1 = Aplicado no início, ou após CLRWDT ou SLEEP

0 = O watchdog timer fez RESET



bit 2 PD: Power-Down Detection Flag bit

1 = Aplicado no início, ou após CLRWDT

0 = Aplicado após SLEEP

bit 1 POR: Power-on Reset Status bit(2)

1 = Não foi executado Power-on Reset (não editável)

0 = Foi executado Power-on Reset (Deve ser colocado a 0 por software após um Power-on Reset)

bit 0 BOR: Brown-out Reset Status bit

1 = Não foi executado Brown-out Reset (não editável)

0 = Foi executado Brown-out Reset (Deve ser colocado a 0 por software após um Brown-out Reset)

